

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-230525

(43)Date of publication of application : 19.08.1992

(51)Int.Cl. G06F 9/06

(21)Application number : 03-000072 (71)Applicant : NEC CORP

(22)Date of filing : 07.01.1991 (72)Inventor : MIYAZAWA KIYOTO

(54) SYSTEM FOR EXECUTING ROM PROGRAM CORRECTION

(57)Abstract:

PURPOSE: To correct programs without exchanging a ROM by providing an address detection mechanism for the programs on the ROM to be corrected the address and correction program and a RAM storing the address.

CONSTITUTION: An IP register 1 indicates the IP address of the address on the read-only memory(ROM) of the program executed by a microprocessor. A random access memory(RAM) 2 stores a batch address which is the one of the programs to be corrected. An address comparator 3 compares an IP address from an IP register 1 with a batch address from the RAM 2 and judges whether or not they are matched. An interruption notifying part 4 notifies the signal from the address comparator 3 where the IP and the patch addresses are matched to the microprocessor as a non-mask interrupter signal 7.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-230525

(43) 公開日 平成4年(1992)8月19日

(51) Int.Cl.⁸

G 0 6 F 9/06

識別記号

4 4 0 N 7927-5B

E 7927-5B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数2(全4頁)

(21) 出願番号 特願平3-72

(22) 出願日 平成3年(1991)1月7日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 宮沢 清人

東京都港区芝五丁目7番1号日本電気株式会社内

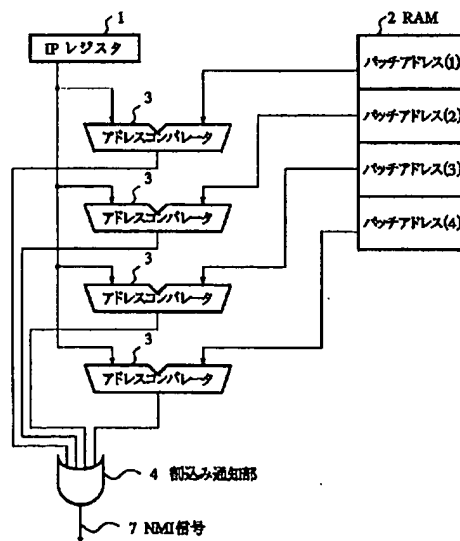
(74) 代理人 弁理士 内原 晋

(54) 【発明の名称】 ROMプログラム修正実行方式

(57) 【要約】

【構成】 修正すべきROM上のプログラムのアドレスを検出する機構と、そのROM上のプログラムのアドレスおよびそれに対応する修正プログラムのアドレスとその修正プログラムを格納するRAMとを設ける。

【効果】 ROMの交換を行わずにROM上のプログラムの修正を行うことができ、従ってROM上のプログラムの修正費用を節減し、かつ修正時間を短縮することができる。



(2)

特開平4-230525

1

【特許請求の範囲】

【請求項1】 マイクロプロセッサが実行しているプログラムのうちの修正すべきプログラムのアドレスを検出する機構と、前記プログラムを格納している読出し専用メモリ上のアドレスおよびそれに対応する修正プログラムのアドレスと前記修正プログラムとを格納するランダムアクセスメモリとを設けたことを特徴とするROMプログラム修正実行方式。

【請求項2】 マイクロプロセッサが実行しているプログラムのROM上のアドレスを示すIPアドレスと修正すべきプログラムのアドレスであるパッチアドレスとを比較する複数個のアドレスコンパレータと、前記複数個のアドレスコンパレータのうち前記IPアドレスと前記パッチアドレスとが一致したアドレスコンパレータからの信号をノンマスクインタラプト信号として前記マイクロプロセッサに通知する割込み通知部と、パッチするプログラムを記憶したパッチプログラムテーブルと前記パッチするプログラムのアドレスおよび前記パッチアドレスを一組としたパッチアドレステーブルとを格納しておくランダムアクセスメモリとを設けたことを特徴とするROMプログラム修正実行方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、マイクロプロセッサで動作の制御をされる機器のうち、特にマイクロプロセッサを動作させるためのプログラムが読出し専用メモリに記憶させてあり、その読出し専用メモリに記憶させてあるプログラムによってマイクロプロセッサを動作させる機器組立てプロセッサ等のROMプログラム修正実行方式に関する。

【0002】

【従来の技術】 マイクロプロセッサで動作の制御をされる機器のうち、特にマイクロプロセッサを動作させるためのプログラムが読出し専用メモリ（ROM）に記憶させてあり、そのROMに記憶させてあるプログラムによってマイクロプロセッサを動作させる機器組立てプロセッサ等において、ROMのプログラムを変更する場合の従来の手段は、現用のROMと変更したプログラムを記憶させた新しいROMとを物理に交換するか、または、電気的に書換え可能な読出し専用メモリ（EEPROM）に交換する手段が採用されている。

【0003】

【発明が解決しようとする課題】 上述したような従来のROMプログラム修正手段は、次のような欠点を有している。

【0004】 すなわち、現用のROMと変更したプログラムを記憶させた新しいROMとを物理に交換する前者の場合は、現用のROMが使用されている環境（ユーザー先等）における交換作業が困難であることがあり、一方、EEPROMに交換する後者の場合は、新たにEE

2

PROMを作成するための費用が高み、しかもEEPROMはROMに比して容量が小さく、ビット当りの単価も高いという欠点を有している。

【0005】

【課題を解決するための手段】 本発明のROMプログラム修正実行方式は、マイクロプロセッサが実行しているプログラムのうちの修正すべきプログラムのアドレスを検出する機構と、前記プログラムを格納している読出し専用メモリ上のアドレスおよびそれに対応する修正プログラムのアドレスと前記修正プログラムとを格納するランダムアクセスメモリとを設けたものである。

【0006】 すなわち、本発明のROMプログラム修正実行方式は、マイクロプロセッサが実行しているプログラムのROM上のアドレスを示すIPアドレスと修正すべきプログラムのアドレスであるパッチアドレスとを比較する複数個のアドレスコンパレータと、前記複数個のアドレスコンパレータのうち前記IPアドレスと前記パッチアドレスとが一致したアドレスコンパレータからの信号をノンマスクインタラプト信号として前記マイクロプロセッサに通知する割込み通知部と、パッチするプログラムを記憶したパッチプログラムテーブルと前記パッチするプログラムのアドレスおよび前記パッチアドレスを一組としたパッチアドレステーブルとを格納しておくランダムアクセスメモリとを設けたものである。

【0007】

【実施例】 次に、本発明の実施例について図面を参照して説明する。

【0008】 図1は本発明の一実施例を示すブロック図、図2は図1の実施例のランダムアクセスメモリ（RAM）の記憶内容の一例を示すフォーマット図、図3は図1の実施例の動作を示すフローチャートである。

【0009】 図1において、IPレジスタ1は、マイクロプロセッサ（図示省略）が実行しているプログラムの読出し専用メモリ（ROM）上のアドレスのIPアドレスを示す。ランダムアクセスメモリ（RAM）2は、修正すべきプログラムのアドレスであるパッチアドレス（1）～（n）を格納しておくメモリである。アドレスコンパレータ3は、IPレジスタ1からのIPアドレスとRAM2からのパッチアドレスとを比較し、両者が一致しているか否かを判断する。割込み通知部4は、IPアドレスとパッチアドレスとが一致したアドレスコンパレータ3からの信号をノンマスクインタラプト（NMI）信号7としてマイクロプロセッサに通知する。

【0010】 図2に示すパッチアドレステーブル5は、パッチすべきアドレス（パッチアドレス（1）～（n））とパッチするプログラムの先頭アドレス（パッチプログラムアドレス（1）～（n））とを1組としてRAM2上に入れてある。パッチプログラムテーブル6は3パッチすべきプログラム（パッチプログラム（1）～（n））を格納しているRAM2上の領域である。

3

【0011】次に図1～図3を参照して上述の実施例の動作について説明する。

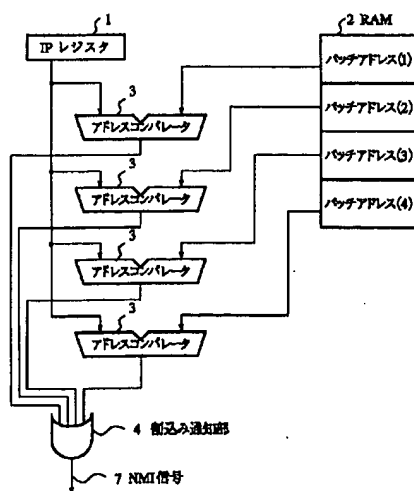
【0012】電源投入（パワーオン）後のイニシャル処理の後、マイクロプロセッサは、パッチアドレステーブル5内にあるパッチアドレス（1）～（n）を、対応するアドレスコンパレータ3のそれぞれにセットする。アドレスコンパレータ3は、セットされたパッチアドレス（1）～（n）とIPレジスタ1からのIPアドレスの値が一致するか否かを比較する。割込み通知部4は、一致したアドレスコンパレータ3からの信号をノンマスク

インタラプト（NMI）信号7としてマイクロプロセッサに通知する（参照符号11）。

【0013】NMI7を受けたマイクロプロセッサは、NMI処理ルーチン（参照符号12）に移行する。マイクロプロセッサのNMI処理ルーチンにおいて、アドレスコンパレータ3からの信号がNMI信号7であるか否かを判断し、NMI信号7であるときは、IPレジスタ1のIPアドレスの値から、NMI信号7を発生したアドレスコンパレータがどのアドレスコンパレータであるかを調べる（参照符号13）。例えば、パッチアドレス2がIPアドレスと一致したとすると、パッチアドレス

テーブル5から、そのパッチアドレス2に対応するのはパッチプログラムアドレス2であることを知り（参照符号14）、マイクロプロセッサは、IPレジスタ1の該当するプログラムのアドレスをRAM2上のパッチアドレステーブル5のパッチプログラムアドレス（2）のアドレスに書換える（参照符号15）。NMI処理が終了すると、ROM上のプログラムの代りにRAM2上のパッチプログラムテーブル6内のパッチプログラム（2）が

【図1】



4

実行される。

【0014】このようにすることにより、ROM上のプログラムを修正することができる。

【0015】

【発明の効果】以上説明したように、本発明のROMプログラム修正実行方式は、修正すべきROM上のプログラムのアドレスを検出する機構と、そのROM上のプログラムのアドレスおよびそれに対応する修正プログラムのアドレスとその修正プログラムを格納するRAMとを設けることにより、ROMの交換を行わずにROM上のプログラムの修正を行うことができるという効果があり、従ってROM上のプログラムの修正費用を削減し、かつ修正時間を短縮することができるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図である。

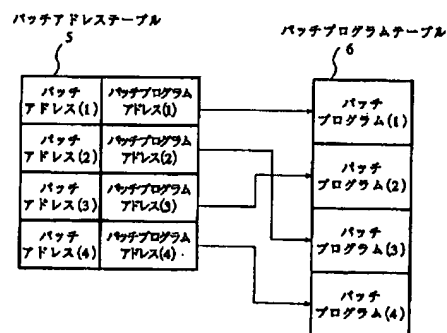
【図2】図1の実施例に使用するランダムアクセスメモリの記憶内容の一例を示すフォーマット図である。

【図3】図1の実施例の動作を示すフローチャートである。

【符号の説明】

- 1 IPレジスタ
- 2 ランダムアクセスメモリ（RAM）
- 3 アドレスコンパレータ
- 4 割込み通知部
- 5 パッチアドレステーブル
- 6 パッチプログラムテーブル
- 7 ノンマスクインタラプト（NMI）信号

【図2】



【図3】

